

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261871

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H04N 5/228

(21)Application number : 10-061238

(71)Applicant : CANON INC

(22)Date of filing : 12.03.1998

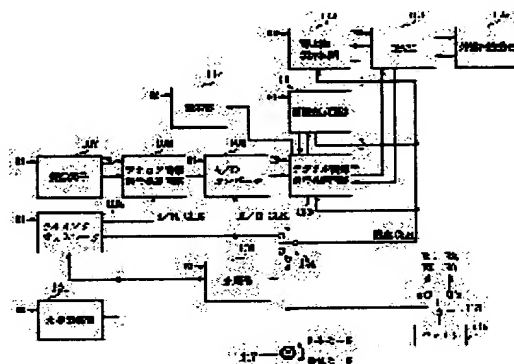
(72)Inventor : SAGA YOSHIHIRO

## (54) IMAGE PICKUP DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image pickup device which can reduce its power consumption and also can perform the proper image processing by supplying the power to a display processing circuit and a digital image signal processing circuit and also cutting the supply of power to an image pickup element, and analog image signal processing circuit, an A/D converter and a 1st clock pulse generation means respectively when an image is displayed based on the image signals stored in a storage means.

**SOLUTION:** When a dial switch 117 is switched to a reproduction mode, a switch 118 is switched to the (b) side. Thus, the power is supplied only to the blocks E2 and E0 which are necessary for the display of still images stored in an external storage 116. Then a switch 104 is switched to the (b) side to supply the pixel CLK which is generated by a frequency divider 102 to a still image display circuit 112. In the reproduction mode, the switches 118 and 104 are switched to the (a) sides to supply the power only to the blocks E1 and E0 which are necessary for the image pickup. Then the image CLK which is generated by a timing generator 103 is supplied to a digital image signal processing circuit 110, etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平11-261871

(43)公開日 平成11年(1999)9月24日

識別記号

$$\mathbf{z}$$

H04N 5/228

審査請求 未請求 請求項の数4 OL (全 12 頁)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 嵯峨 吉博

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

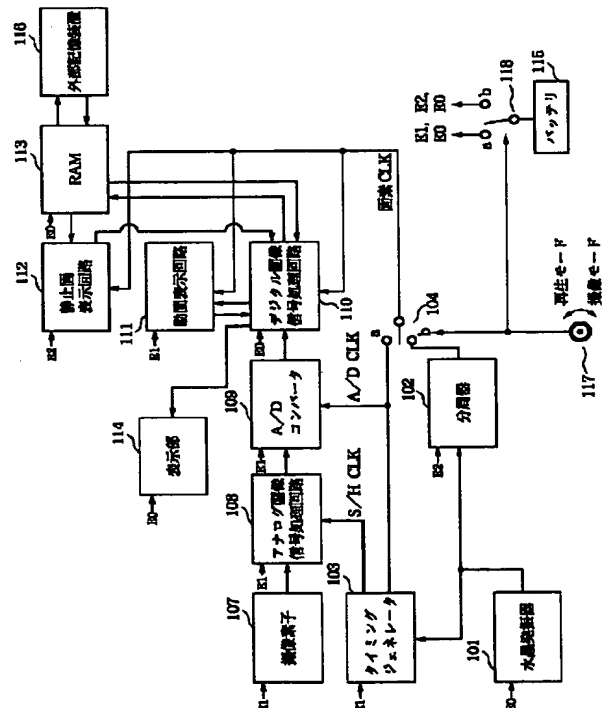
(74)代理人 弁理士 丸島 儀一

(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 節電を実行しかつ、適切な画像処理を行うことのできる撮像装置を提供することを目的とする。

【解決手段】 複数のクロックパルスを生成する第１のクロックパルス生成手段と、撮像素子を有し前記撮像素子からの出力信号を前記第１のクロックパルス生成手段によって生成された複数のクロックパルスのタイミングによってデジタル信号処理する撮像部と、前記撮像部によって処理されたデジタル信号を記憶する記憶手段と、所定のクロックパルスを生成する第２のクロックパルス生成手段と、前記記憶手段によって記憶されたデジタル信号に基づいて前記第２のクロックパルスによって生成された所定のクロックパルスで画像の表示処理を行う表示処理部と、前記画像再生モードの場合は、前記表示処理部および前記第２のクロックパルス生成手段へ電力を供給し、前記撮像部および前記第１のクロックパルス生成手段への電力の供給を遮断する電力供給手段とを備える。



## 【特許請求の範囲】

## 【請求項1】 撮像素子と、

前記撮像素子からの画像信号を所定の処理によってアナログ信号処理を行うアナログ画像信号処理回路と、  
前記アナログ信号処理回路によって処理された画像信号をA/D変換するA/Dコンバータと、  
前記A/Dコンバータから出力された画像信号を所定の処理によってデジタル信号処理を行うデジタル画像信号処理回路と、  
前記デジタル信号処理回路によって所定の処理が実行された画像信号の表示処理を行う表示処理回路と、  
前記デジタル信号処理回路によって処理された画像信号を記憶する記憶手段と、  
少なくとも前記撮像素子および前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路のそれぞれに対して所定のクロックパルス生成手段と、  
少なくとも前記表示処理部および前記デジタル信号処理回路のそれぞれに対して所定のクロックパルス生成手段と、  
前記デジタル画像信号処理回路および前記表示処理回路を用いて前記記憶手段によって記憶された画像信号に基づく画像の表示を行う場合、前記表示処理回路および前記デジタル画像信号処理回路へ電力を供給し、前記撮像素子および前記アナログ画像信号処理回路および前記A/Dコンバータおよび第1のクロックパルス生成手段への電力の供給を遮断する電力供給手段とを備えることを特徴とする撮像装置。

【請求項2】 請求項1において、前記撮像素子によって被写体を撮像する場合、前記電力供給手段は、前記撮像素子および前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路および第1のクロックパルス生成手段へ電力を供給し、前記表示処理回路および前記第2のクロック生成手段への電力の供給を遮断するように構成されていることを特徴とする撮像装置。

【請求項3】 請求項1または請求項2において、前記第1のクロックパルス生成手段によって生成されるクロックパルスの位相関係は一意に決定されることを特徴とする撮像装置。

【請求項4】 請求項1ないし請求項3のいずれか一項において、さらに、所定の周期のクロックパルスを発振する発振器と、前記発振器によって発振されたクロックパルスを分周しかつ位相の調整を実行する分周位相調整手段とを備え、前記第1のクロックパルス生成手段は、前記分周位相調整手段によって出力されたクロックパルスに基づいて前記撮像素子および前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路のそれぞれに対して所定のク

ロックパルスを生成するように構成されていることを特徴とする撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば、デジタルスチルカメラなどに用いて好適な撮像装置に関するものである。

## 【0002】

【従来の技術】図4は、従来のデジタルスチルカメラのシステムブロック図である。図4において、907はCCDなどの撮像素子であり、アナログ画像信号処理回路908は、サンプルホールド回路、ローパスフィルター、ゲインコントロール回路などによって構成され、撮像素子からの出力信号を適正化する。A/Dコンバータ909は、アナログ画像信号処理回路908によって処理された画像信号をデジタル画像信号に変換する。また、デジタル画像信号処理回路910は、A/Dコンバータ909から出力されたデジタル画像信号を規格化された輝度色差画像データに変換処理する。RAM913は、半導体などによって構成され、デジタル画像信号処理回路910によって処理されたデジタル画像信号（静止画信号）を使用者からの指示タイミングによって記憶する。

【0003】表示部914は、LCDなどによって構成され、撮像素子907によって現在撮像中の動画像あるいはRAM913によって記憶された静止画像を表示する。動画表示回路911は、撮像素子907によって現在撮像中の画像信号を連続的に表示部914に動画像表示させる処理を行う。また、静止画表示回路912は、RAM913によって記憶された静止画像を表示部914において表示させる処理を行う。

【0004】水晶発振器901は、システム全体の動作基準となるクロック信号を生成する。タイミングジェネレータ903は、フリップフロップを用いたゲート回路によって構成され、撮像素子907から画像データを読み出すために必要な水平転送パルスおよび垂直転送パルス信号などの読み出しクロック、デジタル画像信号処理回路910および動画表示回路911、静止画表示回路912において画像データを取り込んだり出力したりするときの基準となる画素クロック、アナログ画像信号処理回路908が有するサンプルホールド回路のサンプルホールドタイミング信号、A/Dコンバータ909のサンプルタイミングとなるA/Dクロックを生成し、それぞれのクロック信号の位相関係が一意に決定されるように構成されている。なお、図4の構成においては画素クロックとA/Dクロックは共通化されている。

【0005】上述したような図4に示す従来の撮像装置の構成において、RAM913に記憶された静止画像を表示する場合においても、実際には動作を実行する必要のない撮像素子907およびアナログ画像信号処理回路

908およびA/Dコンバータ909にも電力を供給しており、電力を浪費していた。また、タイミングジェネレータ903は、記憶された画像を再生する場合においても撮像素子903、アナログ画像信号処理回路908、およびA/Dコンバータ909の各処理ブロックに対するクロックを生成しなければならず、このようなことによっても電力を浪費すること結果となっていた。

【0006】このような図4の撮像装置のシステム構成の問題を解決するため、図5に示す撮像装置のシステム構成が提案されている。図5の撮像装置の構成において、分周器903aは、画素クロックを生成して、デジタル画像信号処理回路910、動画表示回路911、静止画表示回路912など画像表示を行うための表示系に出力する。タイミングジェネレータ903は、撮像素子907、アナログ画像信号処理回路908、A/Dコンバータ909などの撮像系に対してクロックを生成している。このような図5のシステム構成によってメモリに記憶された静止画像を表示するときにはタイミングジェネレータ903、撮像素子907、アナログ画像信号処理回路908、A/Dコンバータ909などの撮像系に対する電力の供給を停止して節電を実行することができる。

【0007】ここで、タイミングジェネレータ903、分周器903aによって生成されるクロックの位相は、それぞれ電力が供給されたときのタイミングに応じて決定される。すなわち、図5におけるシステムの撮像系と表示系との電力供給タイミングは撮像または表示などの撮像装置の動作モードに応じて互いに独立して制御されており、タイミングジェネレータ903の出力する各クロックと分周器903aの出力する画素クロックは、電力供給時の水晶発振器901のパルス出力に応じて決定されるため、それらの位相関係は一意に決定されない。タイミングジェネレータ903、903aの各出力クロックの位相関係は、例えば図7(a)、(b)に示すような2通りの場合のクロックタイミングが考えられる。

【0008】図7(a)、(b)において、Aは、水晶発振器901の出力信号であり、Bは、タイミングジェネレータ903が撮像素子907に対して画素データの読み出し指令を行う読み出しクロックである。また、Cは、A/Dコンバータ909からデジタル画像信号処理回路910に出力される画素データであり、BとCの位相関係はタイミングジェネレータ903によって一意に決定される。また、Dは、分周器903aによって生成された画素クロックであるため、BおよびCに対する位相関係は一意に決定されない。

【0009】ここで、図5のデジタル画像信号処理回路910においては画素クロックDが立ち下りの瞬間に画素データをサンプリングするように設計されているものとする。

【0010】図7(a)の場合において、矢印で示した

画素クロックDの立ち下りの瞬間に画素データがデジタル画像信号処理回路910に取り込まれているので、適切に画素データをサンプリングすることができる。一方、図7(b)の場合においては、矢印で示した画素クロックDの立ち下りの瞬間には、画素データが変化している最中であるので適切に画素データをサンプリングすることができない。

【0011】このように、図5のシステムにおいては、撮像系と表示系の電力の供給をそれぞれ別々に供給したが、それらの電源供給タイミングによっては画素データを適切にサンプリングできないおそれがあった。

【0012】

【発明が解決しようとする課題】上述した問題を解決するため、本発明は、節電を実行しかつ、適切な画像処理を行うことのできる撮像装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上述した目的を達成するために、本願の請求項1に係る発明によれば、撮像素子と、前記撮像素子からの画像信号を所定の処理によってアナログ信号処理を行うアナログ画像信号処理回路と、前記アナログ信号処理回路によって処理された画像信号をA/D変換するA/Dコンバータと、前記A/Dコンバータから出力された画像信号を所定の処理によってデジタル信号処理を行うデジタル画像信号処理回路と、前記デジタル信号処理回路によって所定の処理が実行された画像信号の表示処理を行う表示処理回路と、前記デジタル信号処理回路によって処理された画像信号を記憶する記憶手段と、少なくとも前記撮像素子およびおよび前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路のそれぞれに対して所定のクロックパルスを生成する第1のクロックパルス生成手段と、少なくとも前記表示処理部および前記デジタル信号処理回路のそれぞれに対して所定のクロックパルスを生成する第2のクロックパルス生成手段と、前記デジタル画像信号処理回路および前記表示処理回路を用いて前記記憶手段によって記憶された画像信号に基づく画像の表示を行う場合、前記表示処理回路および前記デジタル画像信号処理回路へ電力を供給し、前記撮像素子およびおよび前記アナログ画像信号処理回路および前記A/Dコンバータおよび第1のクロックパルス生成手段への電力の供給を遮断する電力供給手段とを備えることを特徴とする。

【0014】また、請求項2に係る発明によれば、請求項1において、前記撮像素子によって被写体を撮像する場合、前記電力供給手段は、前記撮像素子およびおよび前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路および第1のクロックパルス生成手段へ電力を供給し、前記表示処理回路および前記第2のクロック生成手段への電力の供給

を遮断するように構成されていることを特徴とする。

【0015】また、請求項3に係る発明によれば、請求項1または請求項2において、前記第1のクロックパルス生成手段によって生成されるクロックパルスの位相関係は一意に決定されてことを特徴とする。

【0016】また、請求項4に係る発明によれば、請求項1ないし請求項3のいずれか一項において、さらに、所定の周期のクロックパルスを発振する発振器と、前記発振器によって発振されたクロックパルスを分周しかつ位相の調整を実行する分周位相調整手段とを備え、前記第1のクロックパルス生成手段は、前記分周位相調整手段によって出力されたクロックパルスに基づいて前記撮像素子および前記アナログ画像信号処理回路および前記A/Dコンバータおよび前記デジタル画像信号処理回路のそれぞれに対して所定のクロックパルスを生成するように構成されていることを特徴とする。

【0017】

【発明の実施の形態】以下、添付の図面に沿って本発明の実施の形態を説明する。

【0018】（第1の実施の形態）図1は、本実施の形態の撮像装置の構成ブロック図である。なお本実施の形態の撮像装置の動作処理は、不図示のシステムコントロール回路によって行われるものとする。なお、本実施の形態の撮像装置においてはデジタルスチルカメラを例に説明するが、動画を記録する撮像装置についても本実施の形態を適用することができる。

【0019】図1において、107はCCDなどの撮像素子であり、アナログ画像信号処理回路108は、サンプルホールド回路、ローパスフィルター、ゲインコントロール回路などによって構成され、撮像素子からの出力信号を適正化する。A/Dコンバータ109は、アナログ画像信号処理回路108によって処理された画像信号をデジタル画像信号に変換する。また、デジタル画像信号処理回路110は、A/Dコンバータ109から出力されたデジタル画像信号を規格化された輝度色差画像データに変換処理する。RAM113は、デジタル画像信号処理回路110によって処理されたデジタル画像信号（静止画信号）を一時記憶するためのものであり、使用者からの指示タイミングによって後述の外部記憶装置116に画像ファイルを書き込む。

【0020】ここで、デジタル信号処理回路110の構成を図8に示す。フリップフロップ201は、多ビットのフリップフロップ回路で、後述の画素クロックの入力タイミングに同期して画素データをサンプリングする。輝度色差変換処理ブロック202は、フリップフロップ201によってサンプリングされた画素データを所定の規格化された輝度色差データに変換する。

【0021】ここで、撮像モードにおいて、輝度色差変換処理ブロック202が生成した輝度色差データは、動画表示回路に出力される。特に静止画記録時は、輝度色

差データはRAM制御回路203に入力される。RAM制御回路203は、受け取ったデータをRAM113に記憶させる。変調回路204は、動画像処理回路111もしくは静止画表示回路112によって処理された輝度色差変換データをNTSCあるいはPAL等の規格化された搬送色信号を生成して表示部114に出力する。

【0022】外部記憶装置116は、RAM113に記憶された画像ファイルを記憶するための不揮発性のメモリであり、半導体メモリあるいはハードディスクなどによって構成される。外部記憶装置116によって記憶された画像ファイルを読み出して表示部114に静止画像を表示させることも可能である。なお、外部記憶装置116は、撮像モードおよび再生モードにかかわらず画像データの読み書きが実行される任意のタイミングにおいて電力が供給される。

【0023】表示部114は、LCDなどによって構成され、撮像素子107によって現在撮像中の動画像あるいはRAM113によって記憶された静止画像を表示する。動画表示回路111は、撮像素子107によって現在撮像中の画像信号を連続的に表示部114に動画像表示させる処理を行う。また、静止画表示回路112は、RAM113によって記憶された静止画像を表示部114において表示させる処理を行う。

【0024】水晶発振器101は、システム全体の動作基準となるクロック信号を生成する。タイミングジェネレータ103は、フリップフロップを用いた複数のゲート回路によって構成され、撮像素子107から画像データを読み出すために必要な水平転送パルスおよび垂直転送パルス信号などの読み出しクロック、デジタル画像信号処理回路110、動画表示回路111および静止画表示回路112において画像データを取り込んだり出力したりするときの基準となる画素クロック、アナログ画像信号処理回路108が有するサンプルホールド回路のサンプルホールドタイミング信号、A/Dコンバータ109のサンプルタイミングとなるA/Dクロックのそれぞれを水晶発振器101から発振されるクロックに基づいて生成する。なお、生成された各クロック信号は同一のタイミングジェネレータによって生成されているので、それぞれのクロック信号の位相関係は一意に決定される。

【0025】また、分周器102は、画素クロックを生成して、デジタル画像信号処理回路110、動画表示回路111、静止画表示回路112など画像表示を行うための表示系に出力する。また、スイッチ104は、分周器102およびタイミングジェネレータ103からの画素クロックの出力を切替えるものである。

【0026】バッテリー115は、本実施の形態の撮像装置の各動作処理ブロックに電力を供給する。また、ダイヤルスイッチ117は、撮像モードあるいは画像再生モードを切替えるためのスイッチであり、スイッチ10

4、スイッチ118などモードに応じて所定の切換を施す。

【0027】図9は、本実施の形態の撮像装置の各部の電力供給のタイミングおよびクロック信号の出力切換えに関する動作処理フローチャートである。

【0028】s101において、ダイヤルスイッチ117を操作することによって撮像モードに切り換えられた場合は、s102に進み、スイッチ118がa側に切換えられ、撮像を行うために必要なE1、E0の各ブロックのみに電力が供給される(図11において、電力が供給されるブロックは、水晶発振器101タイミングジェネレータ103、アナログ画像信号処理回路108、A/Dコンバータ109、デジタル画像信号処理回路110、分周器105、RAM113、表示部114など)。さらに、スイッチ104がa側に切換えられ、タイミングジェネレータ103によって生成された画素クロックがデジタル画像信号処理回路110などに供給される。

【0029】この撮像モードに設定されているとき、画素データのA/Dコンバータ109からの出力タイミングと画素クロックの出力タイミングは一意に決定される。なぜなら、画素クロックと同一のタイミングジェネレータ103によって生成されたクロックによって画素データが出力されるからである。例えばこのときにタイミングジェネレータ103から出力されるクロック信号を図6に示す。図6に示すように、デジタル信号処理回路110によって画素データをサンプリングするタイミングを画素クロックが立ち下がる瞬間に設定すれば、必ず適切に画素データをサンプリングすることができる。

【0030】さらに、撮像モードに設定されている場合、輝度色差変換処理ブロック202によって変換された画像データを動画表示回路111によって表示部114に現在撮像中の画像を表示させる。

【0031】s103において、不図示のリリーススイッチが操作されたことによって静止画記録指令が出力されると、現在電力が供給されているタイミングジェネレータ103によって出力された画素クロックをデジタル画像信号処理回路110などに出力する。輝度色差変換処理ブロック202において輝度色差変換処理及びデータ圧縮処理などが施された画像データは1フレームの画像ファイルとしてRAM113を介して外部記憶装置116に記憶される。

【0032】一方、s101において画像再生モードが選択された場合は、s105に進み、スイッチ118がbに切換えられ、外部記憶装置116に記憶されている静止画像を表示するために必要なE2、E0の各ブロックのみに電力が供給される(図1において電力が供給されるブロックは、水晶発振器101、分周器102、デジタル画像信号処理回路110、静止画表示回路112、RAM113、表示パネル114など)。さらに、

スイッチ104はb側に切換えられ、現在電力が供給されている分周器102から生成される画素データは静止画表示回路112に出力される。そして予め外部記憶装置116からRAM113に読み出された画像データは、輝度色差変換処理ブロック207で伸長され、表示部114に静止画像を表示させる。この画像データの処理は、分周器102によって生成された画素クロックの出力のタイミングによって処理が行われる。

【0033】このように、画像再生モードのときには回路規模の小さい分周器102で画素クロックを生成し、タイミングジェネレータ103には電力を供給しておらず、動作の不必要な撮像素子107、アナログ画像信号処理回路108、A/Dコンバータに対応するクロックパルスが生成されないので、電力の消費を削減することができる。

【0034】以上説明したように、本実施の形態によれば、撮像モードあるいは画像再生モードの双方の場合において、それぞれ不必要な撮像装置の構成に対して電力を供給していないので電力の消費を節減することができる。さらに、撮像モードの場合において、1つのタイミングジェネレータによって撮像装置の各ブロックに対してそれぞれクロックパルスを生成しているのので、一意に撮像装置の各ブロックに対して生成されたクロックパルスの出力タイミング(位相)が決定され適切な画像データのサンプリングを行うことができる。

【0035】(第2の実施の形態)本実施の形態の撮像装置の構成ブロック図を図2に示す。なお本実施の形態の撮像装置の動作処理は、不図示のシステムコントロール回路によって行われるものとする。なお、本実施の形態の撮像装置においてはデジタルスチルカメラを例に説明するが、動画を記録する撮像装置についても本実施の形態を適用することができる。なお、図2において、図1と同一の符号が示されたものは同様の処理をするものとしてその説明は省略する。

【0036】図2に示されている位相調整機能付分周器119は、図3に示すように分周器301、位相調整回路302、303、304およびスイッチ305によって構成されている。

【0037】図3において、位相調整機能付分周器119には、水晶発振器101が生成したクロック信号が入力信号CLKとして入力される。分周器301は、水晶発振器101からの入力信号の周期を長くする。スイッチ305は、静止画像を記憶するときにおいて、輝度色差信号を生成する処理を行う間にa側に切替えられ、その他の状態の場合はb側に切替えられている。

【0038】さらに、スイッチ305の出力は位相調整回路302に入力される。位相調整回路302は、NOTゲート、ディレイ素子、セレクト回路などによって構成されていて、入力信号から出力信号の間の遅延量を任意に設定することができる。位相調整回路302の出力

信号TGCLKは、タイミングジェネレータ103に入力される。

【0039】タイミングジェネレータ103は、入力されたクロック信号TGCLKを基にして、撮像素子107に対しては垂直転送パルスおよび水平転送パルスを生成して画素データを読み出し実行させ、アナログ画像信号処理回路108に対してはサンプルホールドタイミング信号を生成して信号処理を実行させている。さらに、タイミングジェネレータ103によって垂直転送パルスおよび水平転送パルス、サンプルホールドタイミング信号との位相関係が一意に決定されたクロック信号が再び位相調整機能付分周器119のTGMCKO端子に入力される。

【0040】TGMCKOから入力された信号は、位相調整回路303、304に入力される。位相調整回路303、304は、位相調整回路302と同様にNOTゲート、ディレイ素子、セレクト回路などによって構成されている。

【0041】位相調整回路303から出力されたクロック信号は、ADCCLK端子からA/Dコンバータ109にサンプリングクロックとして供給される。また、位相調整回路304から出力されたクロック信号は、画素クロックとしてデジタル画像信号処理回路110、動画表示回路111に供給される。

【0042】以上の構成によって本実施の形態の撮像装置の各ブロックに出力されるクロック信号の位相が一意に決定されるので、適切な撮像動作および画像表示動作を実行することができる。

【0043】図10は、本実施の形態の撮像装置の各部の電力供給のタイミングおよびクロック信号の出力切換えに関する動作処理フローチャートである。

【0044】s201において、ダイヤルスイッチ117を操作することによって撮像モードに切り換えられた場合は、s202に進み、スイッチ118がa側に切換えられ、撮像を行うために必要なE1、E0の各ブロックに電力が供給される（図11において、電力が供給されるブロックは、水晶発振器101タイミングジェネレータ103、アナログ画像信号処理回路108、A/Dコンバータ109、デジタル画像信号処理回路110、分周器105、RAM113、表示部114など）。さらに、スイッチ104がa側に、スイッチ305がa側に切換えられ、位相調整機能付分周器119によって生成された画素クロックがデジタル画像信号処理回路110などに供給される。

【0045】この撮像モードに設定されているとき、画素データのA/Dコンバータ109からの出力タイミングと画素クロックの出力タイミングは一意に決定される。第1の実施の形態と同様図6に示すように、デジタル信号処理回路110によって画素データをサンプリングするタイミングを画素クロックが立ち下がる瞬間に設

定すれば、必ず適切に画素データをサンプリングすることができる。

【0046】さらに、撮像モードに設定されている場合、輝度色差変換処理ブロック202によって変換された画像データを動画表示回路111によって表示部114に現在撮像中の画像を表示させる。

【0047】現在撮像中の画像の表示処理を説明すると、フリップフロップ201は、A/Dコンバータ109から入力される画像データを入力される画素クロックのタイミングによって回路内部にサンプリングし、RAM制御回路203によりこれをRAM113に一旦記憶する（s202a）。次にRAM制御回路203は、RAM113上の画像データに対して垂直加算混合処理という処理を行う（s202b）。この垂直加算混合処理は、輝度色差変換処理の方法に対して画像データのフォーマットを適合させる処理であり、画像データを垂直方向に加算し、再びRAM113上に加算結果を書き戻すことによって達成する。さらにRAM制御回路203は、RAM113上の画像データを読み出し、これを輝度色差変換処理ブロック202に入力し、さらに輝度色差変換処理ブロック202の出力をRAM113に再び記憶させる処理を行う。

【0048】s203において、不図示のリリーススイッチが操作されたことによって静止画記録指令が出力されると、s204にすすみ、前述した輝度色差変換が開始可能かどうか確認する。輝度色差変換がブロック202によって開始されるが、RAM制御回路203は、一面素の輝度色差データを生成するごとにRAM113に対して一回の読み出し動作と一回の書き込み動作を行う。したがって一面素の輝度色差データを生成する時間、すなわち画素クロックの周期はRAM113を一回の読み出しから一回の書き込みを行うまでの時間以上に設定される必要が生ずる。そのためs205スイッチ305をa側に切換え、分周器301によって上述した画素クロックの周期がRAM113を一回の読み出しから一回の書き込みを行うまでの時間以上に設定される。

【0049】そして、s205aにおいて輝度色差変換が実行され、さらにs205bにおいて上述した処理によってメモリ113上に記憶された1画面分の輝度色差データの圧縮を行い、s205cにおいて外部記憶装置116などの不揮発性のメモリに記憶され、静止画記憶動作が終了する。

【0050】一方、s101において再生モードが選択された場合は、s105に進み、スイッチ118がb、スイッチ305がb側に切換えられ、外部記憶装置116に記憶されている静止画像を表示するために必要なE2、E0の各ブロックに電力が供給される（図1において電力が供給されるブロックは、水晶発振器101、分周器102、デジタル画像信号処理回路110、静止画表示回路112、RAM113、表示パネル114な

ど)。さらに、スイッチ104はb側に切換えられ、現在電力が供給されている分周器102から生成される画素データを静止画表示回路112に出力する。そして予め外部記憶装置116からRAM113に読み出された画像データを分周器102から生成された画素クロックの出力に応じて取り込み、表示部114に静止画像を表示させる。

【0051】以上説明したように、本実施の形態によれば、撮像モードあるいは再生モードの双方の場合において、それぞれ不必要な撮像装置の構成に対して電力を供給していないので電力の消費を節減することができる。さらに、撮像モードの場合において、撮像装置の各ブロックに対してそれぞれクロックパルスの位相を調整することが可能であるので、一意に撮像装置の各ブロックに対して生成されたクロックパルスの出力タイミング（位相）が決定され適切な画像データのサンプリングを行うことができる。

#### 【0052】

【発明の効果】以上説明したように、本発明の撮像装置によれば、被写体の撮像時あるいは再生時の双方の場合において、それぞれ不必要な撮像装置の構成に対して電力を供給していないので電力の消費を節減することができる。さらに、被写体を撮像する場合において、一意に撮像装置の各ブロックに対して生成されたクロックパルスの出力タイミング（位相）が決定され適切な画像データのサンプリングを行うことができるので適切な画像の処理を可能とする。

#### 【図面の簡単な説明】

【図1】第1の実施の形態における撮像装置の構成ブロック図。

【図2】第1の実施の形態における撮像装置の構成ブロック図。

【図3】位相調整機能付分周器の構成図。

【図4】従来の撮像装置の構成ブロック図。

【図5】従来の撮像装置の構成ブロック図。

【図6】第1、第2の実施の形態において各ブロックへ

出力されるクロックパルスのなどの位相関係の一例を示す図。

【図7】従来の撮像装置の構成において各ブロックへ出力されるクロックパルスのなどの位相関係の一例を示す図。

【図8】デジタル画像信号処理回路の構成を示す図。

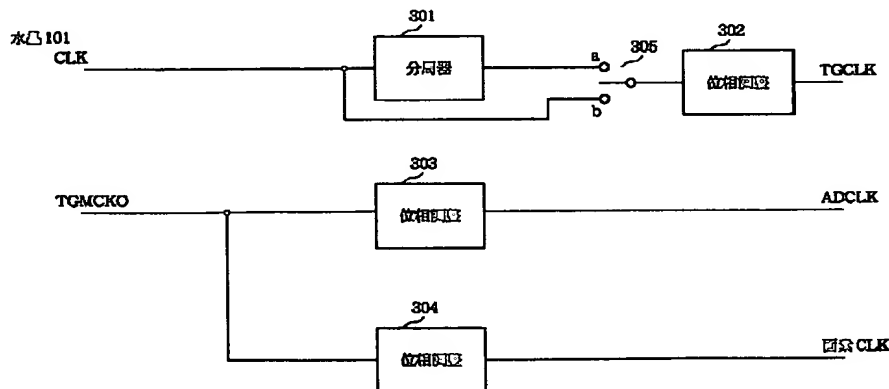
【図9】第1の実施の形態の撮像装置の各部の電力供給のタイミングおよびクロック信号の出力切換えに関する動作処理フローチャート。

【図10】第2の実施の形態の撮像装置の各部の電力供給のタイミングおよびクロック信号の出力切換えに関する動作処理フローチャート。

#### 【符号の説明】

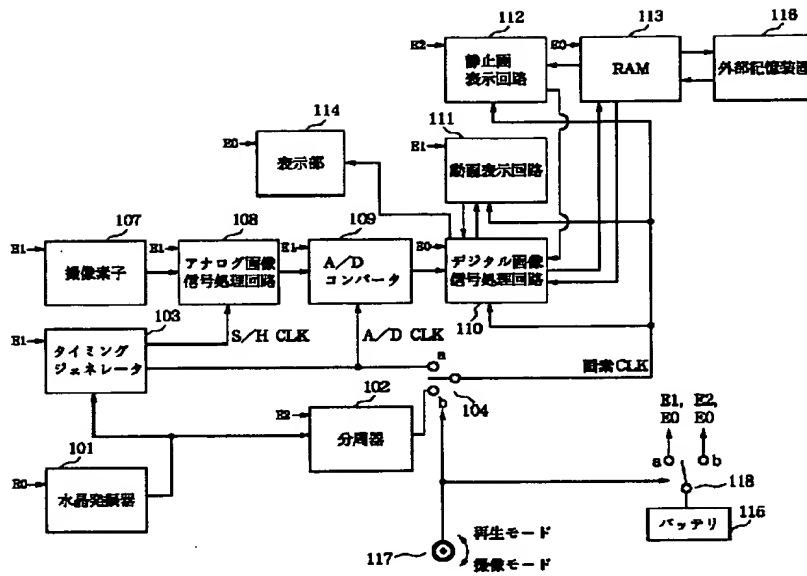
- 101 水晶発振器
- 102 分周器
- 103 タイミングジェネレータ
- 104 スイッチ
- 106 スイッチ
- 107 撮像素子
- 108 アナログ画像信号処理回路
- 109 A/Dコンバータ
- 110 デジタル画像信号処理回路
- 111 動画表示回路
- 112 静止画表示回路
- 113 RAM
- 114 表示部
- 115 バッテリ
- 116 外部記憶装置
- 117 ダイヤルスイッチ
- 118 スイッチ
- 119 位相調整機能付分周器
- 301 分周器
- 302 分周器
- 303 分周器
- 304 分周器
- 305 スイッチ

【図3】

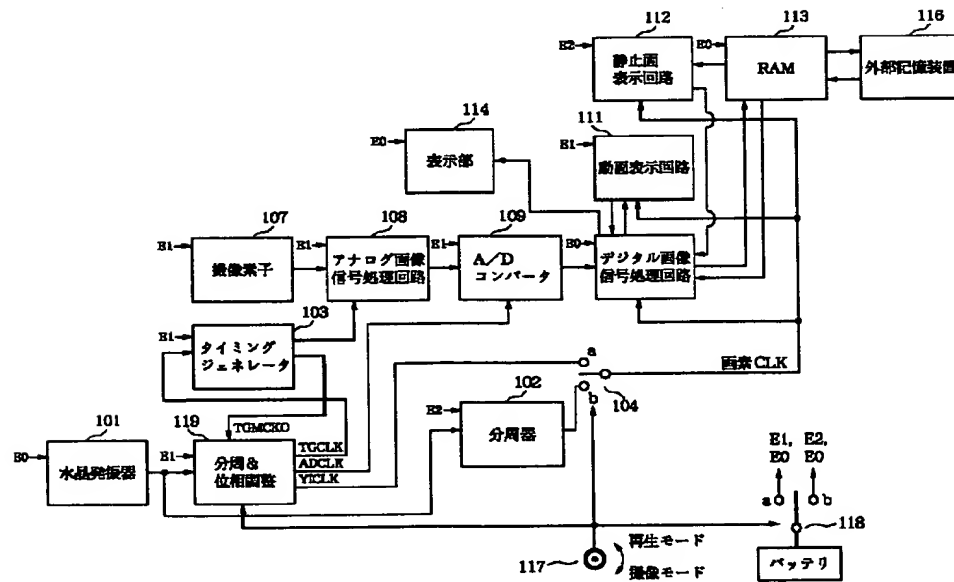




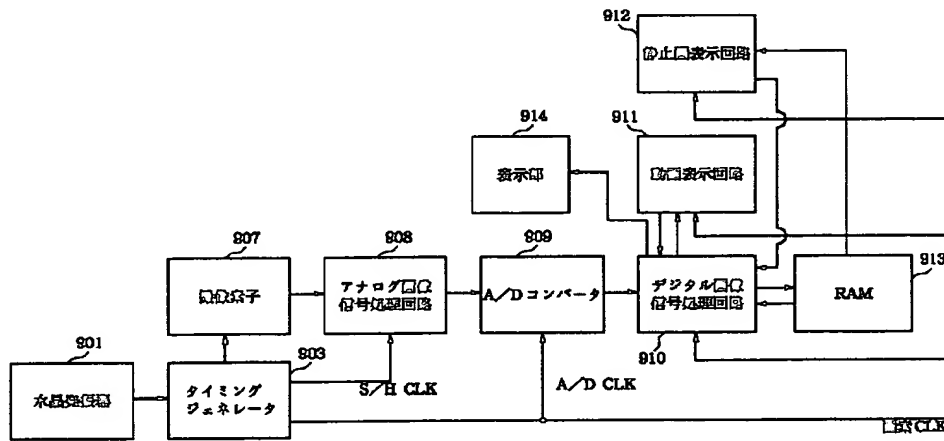
【図1】



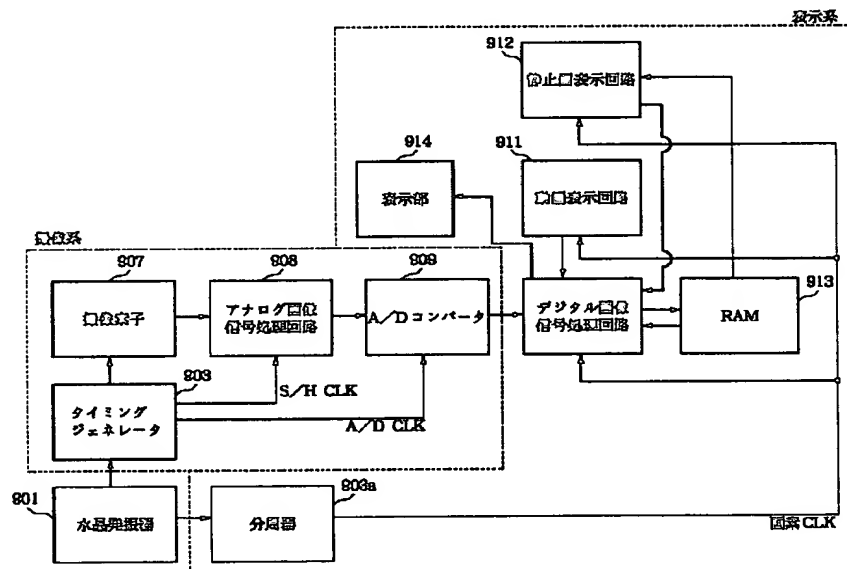
【図2】



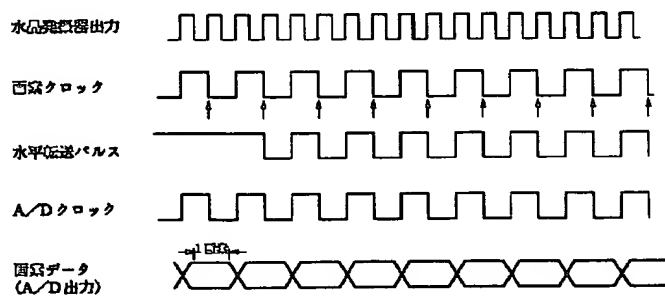
【図4】



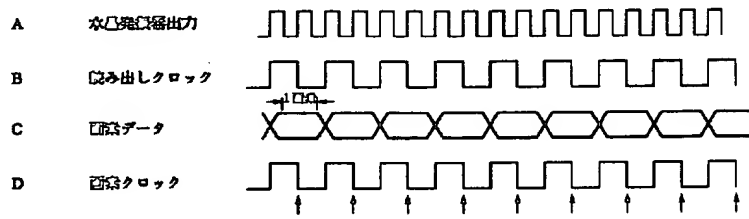
【図5】



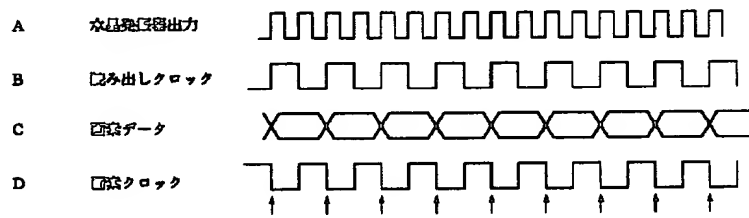
【図6】



【図 7】

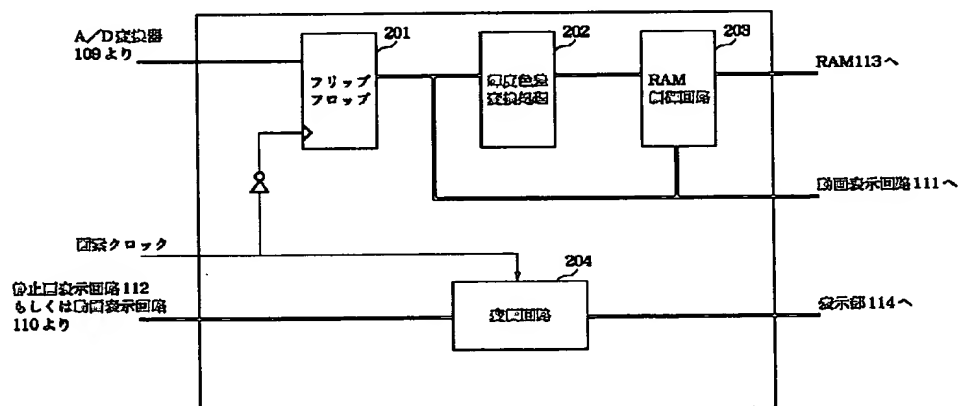


(a)

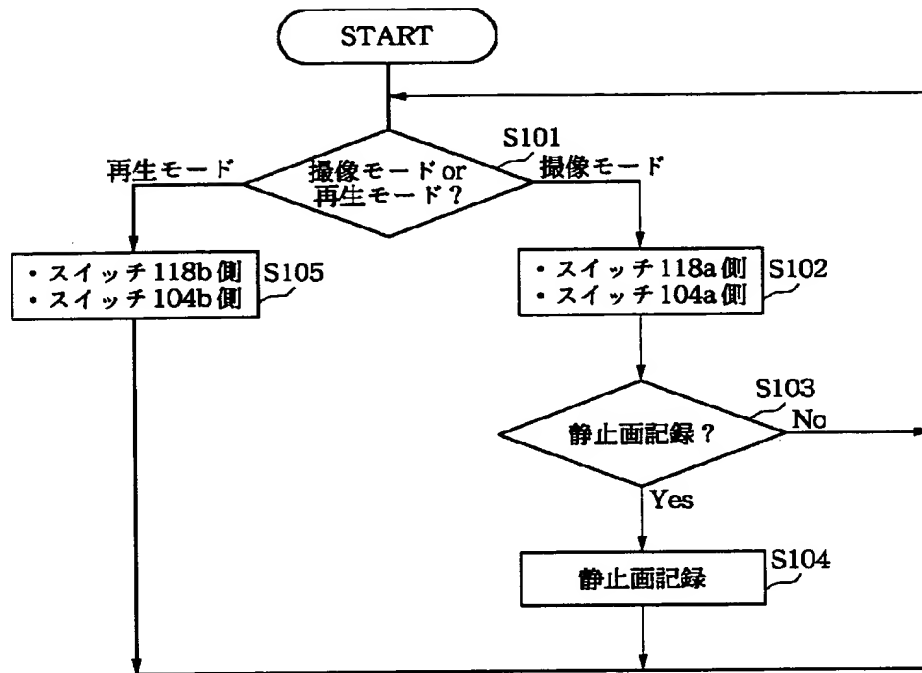


(b)

【図 8】



【図9】



【図10】

